

THIẾT KẾ ANTEN VI DẢI TÍCH CỰC CHO MÁY THU GPS

Nguyễn Tuấn Khanh, Đỗ Hữu Hậu
Khoa điện tử, Trường Cao đẳng nghề Cần Thơ

Tóm tắt: Bài viết này trình bày về nghiên cứu chế tạo anten vi dải tích cực cho máy thu GPS. Hệ thống này gồm 2 phần riêng biệt là anten vi dải thu tín hiệu GPS và mạch LNA 1575.42 Mhz. Các kết quả đo đặc mạch anten vi dải có $S_{11} = -14.661$ db, độ lợi đạt 4.302db và độ định hướng đạt 6.01 db; còn các thông số của mạch LNA là độ lợi: 14.47 db, hệ số nhiễu 2.518 db

Từ khóa: Anten vi dải GPS, Mạch LNA.

DESIGN OF A MICROSTRIP ANTENNA FOR GPS RECEIVERS

Nguyen Tuan Khanh, Do Huu Hau
Faculty of Electronics, Can Tho Vocational College

Abstract: This paper presents the study and fabrication of active violation antenna for GPS receiver. This system includes 2 special parts: GPS signal violation antenna and 1575.42 Mhz LNA circuit. The measurement result of the violation antenna circuit has $S_{11} = -14.661$ dB, gain is 4.302dB and directivity is 6.01 dB; the remaining parameters of the LNA circuit are gain: 14.47 dB, noise figure 2.518 dB

Keywords: microstrip antenna, GPS, LNA circuit

Nhận bài: 14/12/2024

Phản biện: 04/01/2025

Duyệt đăng: 07/01/2025

I. GIỚI THIỆU

Hiện nay có nhiều công trình nghiên cứu liên quan đến anten tích cực cho máy thu GPS như: “Anten tích cực dạng chip có tích hợp mạch Low Noise Amplifier” [1], nghiên cứu về anten tích cực có tích hợp LNA thu tín hiệu GPS sau đó đóng gói thành dạng chip. Với kích thước chip 10 mm(L) x 8 mm(W) x 0.8 mm (H), độ lợi 23.7dB, NF=1.99 dB. Hay “Bộ khuếch đại tạp âm thấp thu tín hiệu GPS ở băng tần L1 với dòng cấp nhỏ” [2] thiết kế một bộ LNA thu tín hiệu GPS dùng công nghệ CMOS 0.18 μ m. Kết quả đạt được gain:18.75dB, NF= 3.7 dB tại 1.8V và dòng cấp là 1.07 mA. Nhìn chung các nghiên cứu này đa phần đều nghiên cứu ở mức độ đóng gói thành dạng các IC. Tuy nhiên bày báo này trình bày nghiên cứu chế tạo anten vi dải tích cực cho máy thu GPS thành dạng các mô đun, việc chế tạo thành công mạch LNA và anten vi dải thu tín hiệu GPS cũng sẽ tạo tiền đề tốt cho các nghiên cứu và ứng dụng rộng rãi mạch siêu cao tần tại Việt Nam trong tương lai.

II. THIẾT KẾ MẠCH LNA

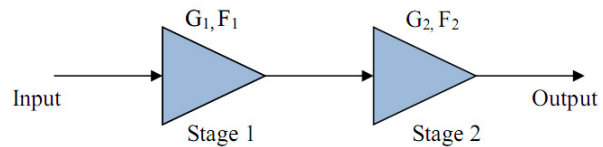
2.1. Phương án thiết kế mạch LNA

Mạch LNA được thiết kế tại tần số 1575.42 Mhz với mạch được thiết kế bằng các đường dây microstrip. Substrate sử dụng là ISOLA 680-345 ĐK, với các thông số.

Các thông số này sẽ được đưa vào phần định nghĩa substrate trong MSUB khi tiến hành thiết kế trên ADS. Còn việc tính toán ra các thông số và sẽ được tính toán bằng chức năng LineCal trong

phần mềm ADS.

Theo datasheet tại tần số 1.57542 Ghz của transistor ATF- 41511 đạt độ lợi cực đại khoảng 11dB. Vì thế để đạt yêu cầu thiết kế lớn hơn 15dB thì mạch LNA ít nhất phải có 2 tầng ghép nối tiếp nhau như hình dưới:



Hình 1: Sơ đồ mạch LNA nối tiếp 2 tầng

Theo lý thuyết [3] thì độ lợi và hệ số nhiễu sẽ được tính theo công thức bên dưới:

$$GLNA \text{ (dB)} = G1 \text{ (dB)} + G2 \text{ (dB)}$$

$$F_{LNA} = F_1 + \frac{F_2 - 1}{G_1} \text{ (công thức Friss)}$$

Theo công thức Friss ở trên thì hệ số nhiễu của hệ thống chủ yếu do tầng đầu tiên quyết định. Đối với mạch LNA thì hệ số nhiễu càng nhỏ càng tốt. Vì vậy giải pháp cho mạch LNA là thiết kế 2 tầng giống nhau với hệ số nhiễu nhỏ nhất có thể và sau đó 2 tầng này sẽ được ghép nối lại với nhau thông qua 1 tụ DC block.

2.2. Xác định hệ số phản xạ nguồn và tải

Mỗi tầng của mạch LNA được thiết kế với hệ số nhiễu nhỏ nhất có thể. Khi chọn hệ số nhiễu

$F = F_{\min}$ (tức $\Gamma_s = \Gamma_{opt}$) thì độ lợi cũng như Input return loss sẽ không tốt (lý do: khi càng xa S_{11}^* thì độ lợi càng giảm còn Input return loss càng

xấu). Vì thế để đạt được kết quả mong muốn cần xem xét sự lựa chọn giữa độ lợi hệ số nhiễu và Input return loss.

Sử dụng ADS để vẽ các vòng tròn đẳng độ lợi và đẳng độ nhiễu dựa vào đó ta thấy nếu chọn hệ

số phản xạ nguồn $\Gamma_s = S_{11}^*$ thì độ lợi nguồn G_s sẽ đạt cực đại, Input return loss tốt nhất và hệ số nhiễu $F = 2.43\text{dB}$. Với yêu cầu nhiễu $F = 2.43\text{ dB}$ thì xem như đạt yêu cầu:

Tính hệ số Γ_s

$$\Gamma_s = S_{11}^* = 0.48 \angle -154^\circ = 0.48 \angle -154^\circ$$

$$\Rightarrow Z_s = 50 * \frac{1 + \Gamma_s}{1 - \Gamma_s} = 18.38 - 10.05i$$

Tính hệ số Γ_L

Hệ số phản xạ được chọn sao cho độ lợi đạt cực

đại tức $\Gamma_L = \Gamma_{out}^*$.

Lúc này ta có:

$$= \Gamma_L = \Gamma_{out}^* = 0.596 \angle -28.67^\circ = \left(S_{22} + \frac{S_{12}S_{21}\Gamma_s}{1 - S_{11}\Gamma_s} \right)^*$$

$$= \left((0.447 \angle -30.75^\circ) + \frac{(0.071 \angle 68^\circ) * (3.391 \angle 63.5^\circ) * (0.48 \angle -154^\circ)}{1 - (0.48 \angle 154^\circ) * (0.48 \angle -154^\circ)} \right)^*$$

$$= 0.596 \angle -28.67^\circ$$

Tính độ lợi và thông số nhiễu của mạch

$$GT \text{ (dB)} = G_s \text{ (dB)} + G_0 \text{ (dB)} + G_L \text{ (dB)}$$

$$\Gamma_{in} = S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L}$$

$$= (0.48 \angle 154^\circ) + \frac{(0.071 \angle 68^\circ) * (3.391 \angle 63.5^\circ) * (0.596 \angle -28.67^\circ)}{1 - (0.447 \angle -30.75^\circ) * (0.596 \angle -28.67^\circ)}$$

$$= 0.62 \angle 139.62^\circ$$

$$G_s = \frac{1 - |\Gamma_s|^2}{|1 - \Gamma_{in}\Gamma_s|^2} = \frac{1 - |0.62|^2}{|1 - (0.62 \angle 139.62^\circ) * (0.48 \angle -154^\circ)|^2} = 1.204 = 0.8\text{dB}$$

$$G_L = \frac{1 - |\Gamma_L|^2}{|1 - S_{22}\Gamma_L|^2} = \frac{1 - |0.596|^2}{|1 - (0.447 \angle -30.75^\circ) * (0.596 \angle -28.67^\circ)|^2} = 0.806 = -0.93\text{dB}$$

$$G_0 = 3.391 = 11.498 = 10.61\text{ dB}$$

Vậy độ lợi theo (dB) của mạch LNA lúc này là:

$$GT \text{ (dB)} = G_s \text{ (dB)} + G_0 \text{ (dB)} + G_L \text{ (dB)} = 1.2 - 0.93 + 10.61 = 10.88\text{ dB}.$$

Khi hệ thống gồm 2 mạch LNA như trên ghép nối tiếp thì độ lợi lúc này là:

$$G_{LNA} = 2 * 10.88 = 21.76\text{ dB}.$$

Hệ số nhiễu:

$$F_{LNA} = F_1 + \frac{F_2 - 1}{G_1} = 1.75 + \frac{1.75 - 1}{12.25} = 1.892 = 2.769\text{dB}$$

$$\text{Với } F_1 = F_2 = 2.43\text{ dB} = 1.75$$

$$G_1 = 10.88\text{ dB} = 12.25$$

2.3. Mạch phối hợp trở kháng

Sau khi đã tính toán xong các thông số Γ_s , Γ_L bước kế tiếp chúng ta sẽ tiến hành thiết kế các mạch phối hợp trở kháng ngõ vào và ngõ ra dùng đường dây truyền sóng bằng cách sử dụng giản đồ Smith.

Ở đây ta sử dụng các mạch phối hợp trở kháng dạng 2L section cho ngõ vào và 3L section ở ngõ ra. Bởi vì nếu như chúng ta làm cách này thì mạch sẽ có băng thông rộng hơn so với 1L section bình thường.

2.4. Mô phỏng mạch và thiết kế mạch

Sau khi đã thiết kế mạch dưới dạng các đường dây truyền sóng dạng lý tưởng thì bước tiếp theo là:

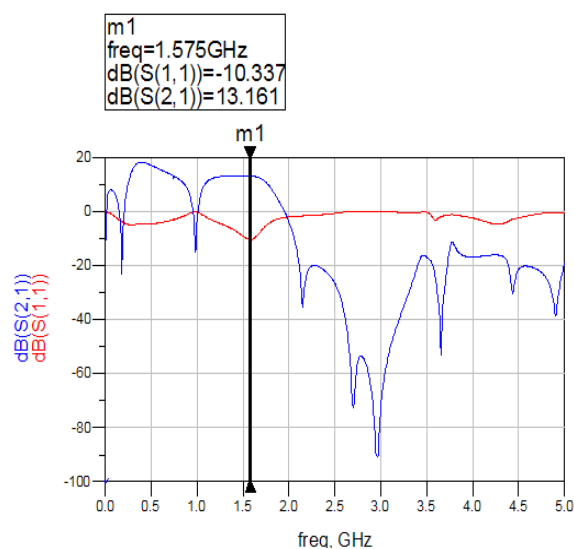
Chuyển mạch phối hợp trở kháng từ dạng độ điện thành dạng kích thước thực tế

Đưa tất cả các linh kiện có thông số S vào mô phỏng.

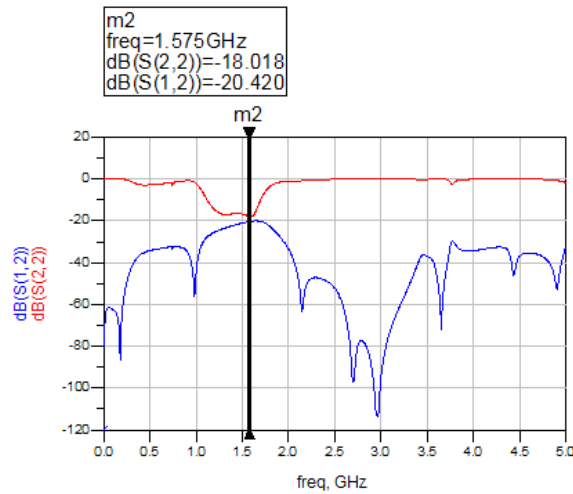
Thực hiện đưa mạch cách ly RF kết hợp với kết nối thêm điện trở Rg vào nhằm làm tăng độ ổn định của mạch.

Gắn thêm các đoạn MTEE, MSTEP, định nghĩa substrate ISOLA 680 -345 ĐK.

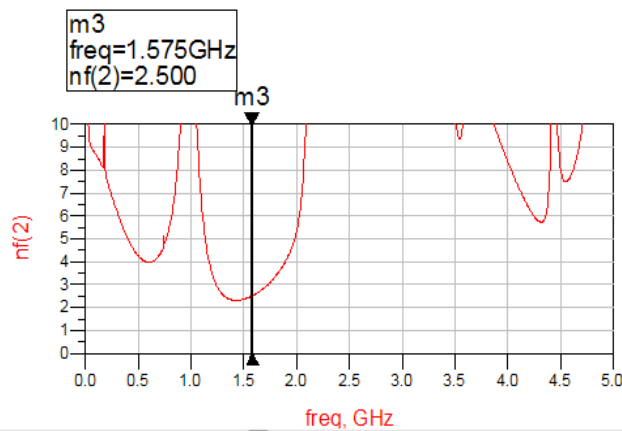
Sử dụng chức năng Tuning và Optimazation để cân chỉnh mạch cho phù hợp với các thông số thiết kế yêu cầu ban đầu.



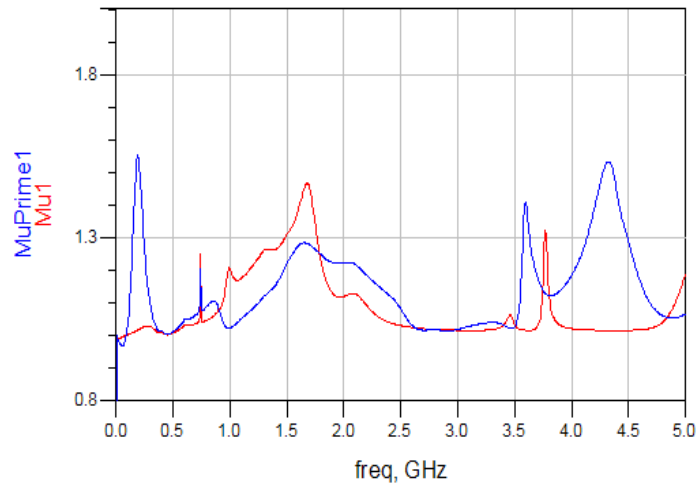
Hình 2: Kết quả mô phỏng S11 và S21 của mạch LNA dạng schematic sau khi đã tuning và Optimize



Hình 3: Kết quả mô phỏng S12 và S22 của mạch LNA sau khi đã tuning và Optimize



Hình 4: Kết quả mô phỏng nhiễu ngõ ra của mạch LNA sau khi đã Tuning và Optimize



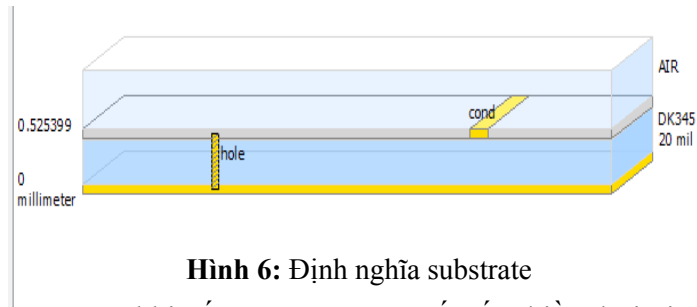
Hình 5: Kết quả mô phỏng hệ số μ và μ prime của mạch LNA sau khi đã Tuning và Optimize

Trong thiết kế mạch cao tần thì việc mô phỏng trường điện từ là 1 bước thực hiện không thể thiếu trước khi layout. Việc thực hiện quá trình này sẽ giúp chúng ta tạo ra mô hình ước lượng của layout gần sát với thực tế. Từ đó có thể thực hiện hiệu chỉnh và tối ưu lại kích thước của mạch thực tế để đạt hiệu quả tốt nhất.

Trong bài báo này tôi sử dụng chức năng

Momentum của phần mềm ADS để thực hiện mô phỏng EM. Sau đây là các bước mô phỏng EM dùng Momentum trong ADS:

Bước 1: (Hình 6) Định nghĩa substrate mà chúng ta sử dụng gồm: số lớp vật liệu, lỗ xuyên lớp, chất dẫn điện. Cụ thể trường hợp này substrate được sử dụng là ISOLA IS680-345ĐK



Hình 6: Định nghĩa substrate

Bước 2: Định nghĩa port, sau khi gắn các port lên các vị trí cần mô phỏng thì công việc tiếp theo là gắn chúng với các loại port phù hợp: TML, TML (zero length), None, SMD, Delta gap. Thực hiện chính xác bước này sẽ góp phần làm cho kết quả mô phỏng EM gần giống mạch thực tế hơn.

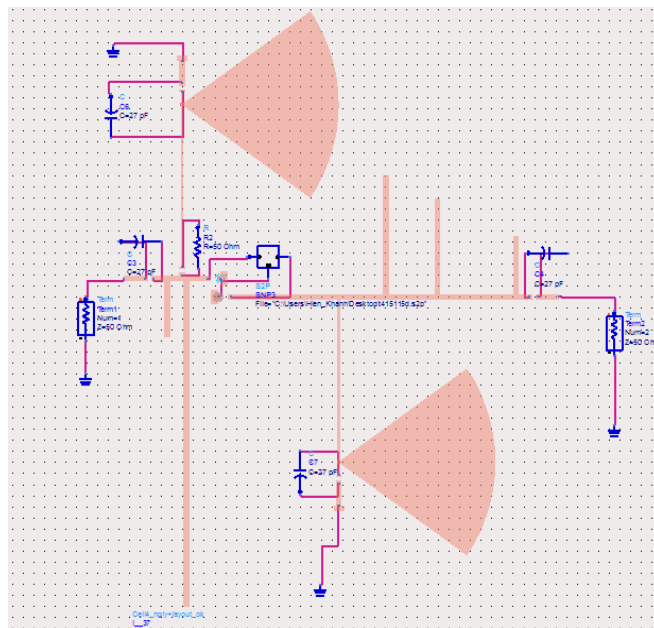
Bước 3: Thiết lập tần số cần mô phỏng

Bước 4: Thiết lập Option. Trong phần này thì 2 thông số Cells/Waveleght và Mesh là quan trọng nhất. Nếu thông số Cells/Waveleght đặt càng lớn thì kết quả mô phỏng càng chính xác, tuy nhiên

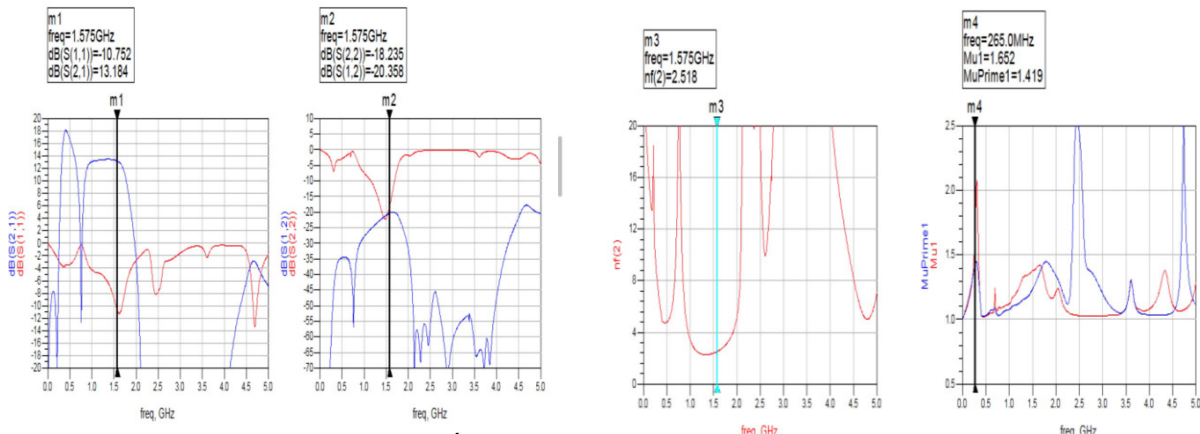
sẽ mất rất nhiều thời gian. Theo kinh nghiệm của những người đã làm mạch siêu cao tần thì giá trị Cells/Waveleght = 40 là phù hợp nhất với kết quả thu được là khá chính xác.

Bước 5: Thiết lập kết quả mô phỏng thực hiện điền các thông số và các tùy chọn như hình bên dưới.

Sau khi đã thực hiện thiết lập mô phỏng EM theo 5 bước như trên. Sau đó tiến hành simulate. Ta được file EM model. Lấy file này và đem mô phỏng ta được kết quả như sau:



Hình 7: Mạch LNA sau khi đã EM

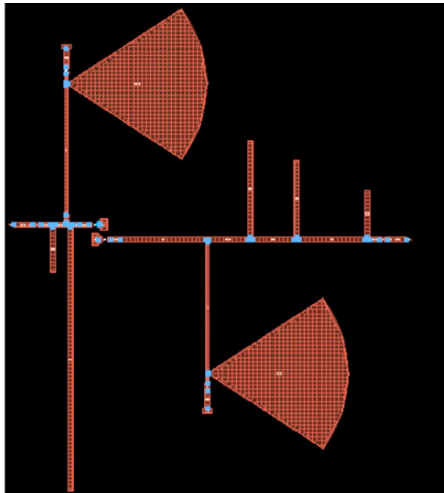


Hình 8: Kết quả mô phỏng mạch LNA sau khi đã EM

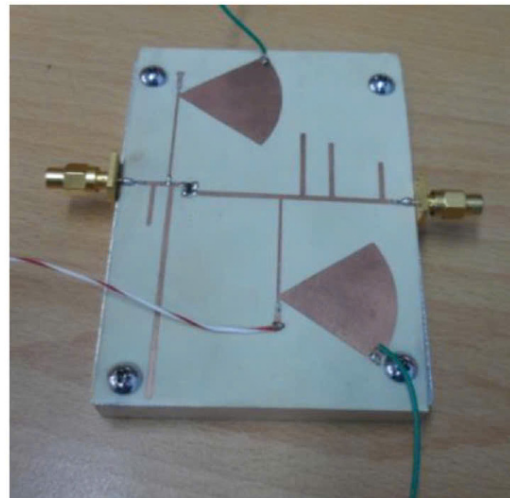
Theo kết quả mô phỏng hình 8 mạch đạt độ lợi là 13.184 dB hệ số nhiễu là 2.518 dB, các hệ số Mu và MuPrime đều lớn hơn 1 chứng tỏ mạch ổn

định trên tần số từ 0 đến 5 GHz. Từ kết quả trên đã đạt yêu cầu thiết kế lúc đầu, nên chúng ta có thể tiến hành thi công mạch LNA này.

Mạch LNA sau thi công có hình dạng như bên dưới:



Hình 8: Mạch LNA dạng Layout



Hình 9: Mạch LNA sau thi công

2.5. Đo đạc và đánh giá kết quả

Các bước tiến hành đo đạc bao gồm các bước sau:

Đo phân cực mạch.

Kiểm tra tính ổn định của mạch.

Đo độ lợi của mạch.

Đo thông số S.

Đo tính tuyến tính của mạch thông qua 2 thông số P1dB và IIP3.

Đo hệ số nhiễu của mạch.

Các thiết bị được sử dụng bao gồm:

Máy phân tích vector Rohde&Schwarz ZVB8 dải tần hoạt động từ 300KHz đến 8GHz.

Máy phát tín hiệu SMR30.

Máy phân tích phổ Rohde&Schwarz FSP dải tần 9KHz đến 30GHz.

Bộ nguồn DC, VOM

Sau đây là kết quả đo đạc

Đo phân cực

Thực hiện phân cực mạch LNA kết quả $V_{CE}=5V$, $I_C=20mA$ khá chính xác với thông số trong datasheet của nhà sản xuất



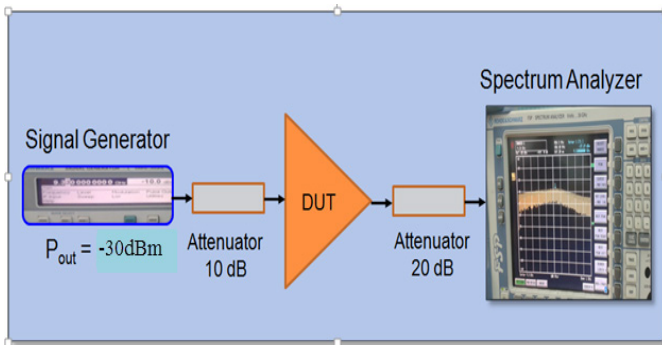
Hình 10: Dòng $I_C=20$ mA

Kiểm tra tính ổn định

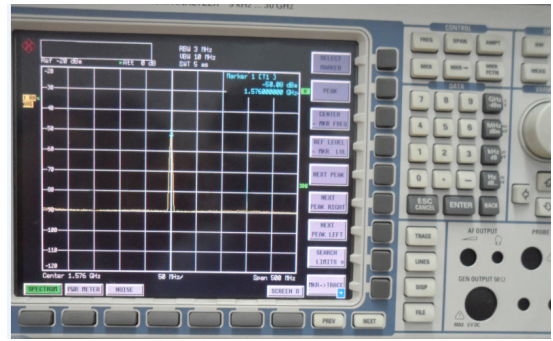
Thực hiện kiểm tra tính ổn định của mạch với máy phân tích phổ kết quả mạch ổn định không điều kiện.

Đo độ lợi

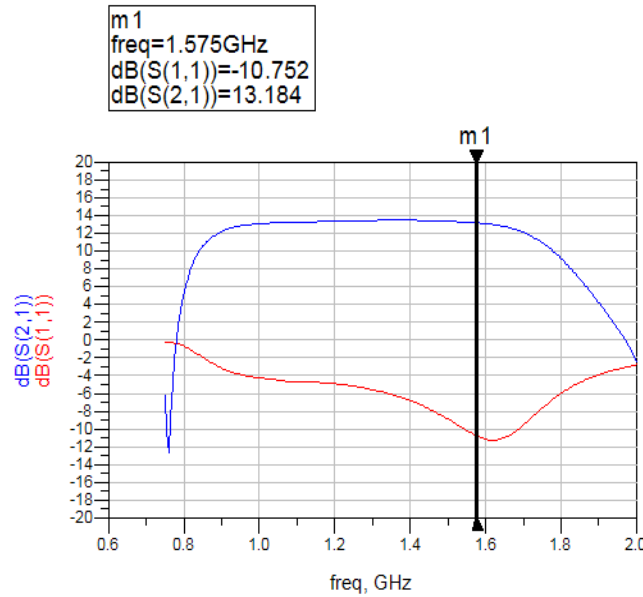
Độ lợi của mạch với máy phân tích phổ Rohde và Schwarz FSP, dải tần 9KHz- 30GHz.



(a)



(b)



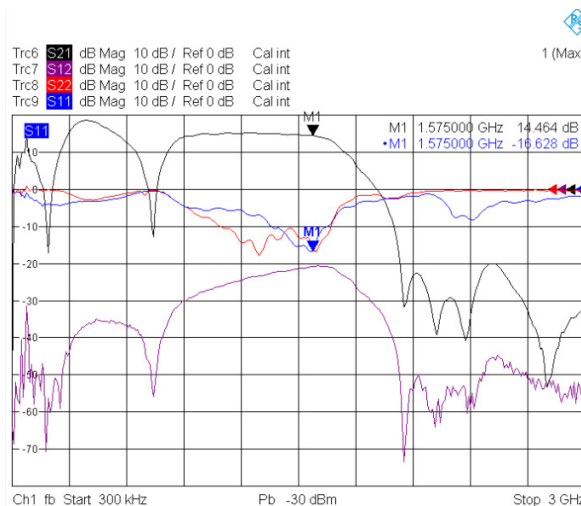
(c)

Hình 11: Kết quả độ lợi. Sơ đồ kết nối để đo gain của mạch (a), Kết quả gain đo thực tế(b), kết quả gain mô phỏng (c)

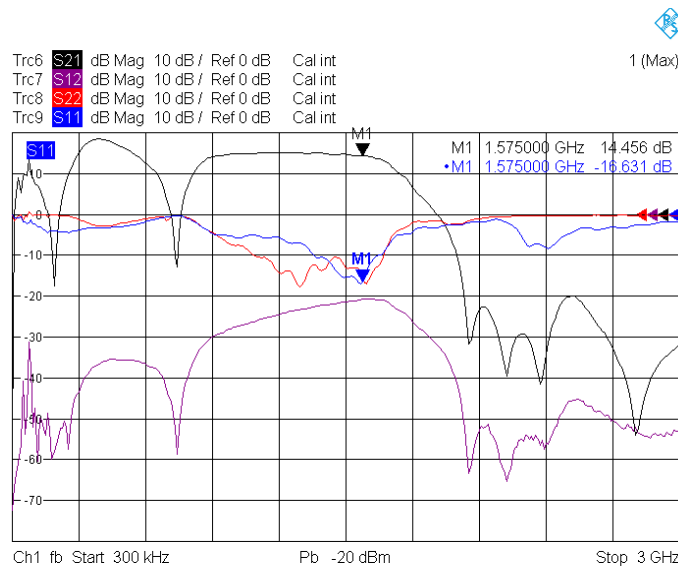
Nhận xét kết quả độ lợi của mạch đạt 9.92 dB tại tần số 1575.42 MHz. Kết quả mô phỏng là 13.184 dB. Có sự sai lệch này là do suy hao ở phần dây nối giữa 2 đầu mạch với thiết bị phát tín hiệu và máy phân tích phổ.

Đo thông số S

Ở hình 12 và hình 13 là kết quả đo thông số S của mạch LNA bằng máy phân tích vector. Việc này được thực hiện bằng cách đo mạch LNA thực tế trên máy phân tích vector ZVB8 sau đó xuất ra file thông số S. bộ thông số S này sau đó sẽ được nạp lại trong ADS và chạy mô phỏng lại.

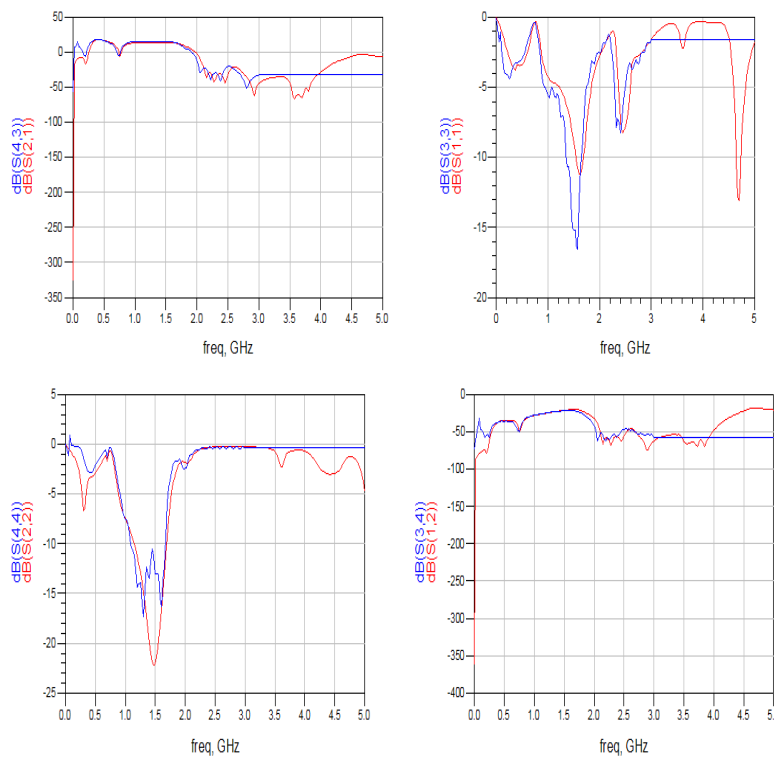


Hình 12: Kết quả đo thông số S bằng máy VNA với Pin=-30dBm



Hình 13: Kết quả đo thông số S bằng máy VNA với Pin= 20dBm

Sau đây là phần so sánh kết quả bộ thông số S của mạch LNA giữa mô phỏng và mạch thực



Hình 14: So sánh bộ thông số S giữa mô phỏng (màu đỏ) và kết quả đo thực tế (màu xanh)

Nhận xét S43, S33, S34 rất giống mô phỏng. Chỉ có S44 là khác so với mô phỏng nguyên nhân là do phần hàn connector ở ngõ ra không được chính xác và kỹ thuật làm mạch in không được

tốt. Cần cải thiện vấn đề này sẽ không bị tình trạng như thế này.

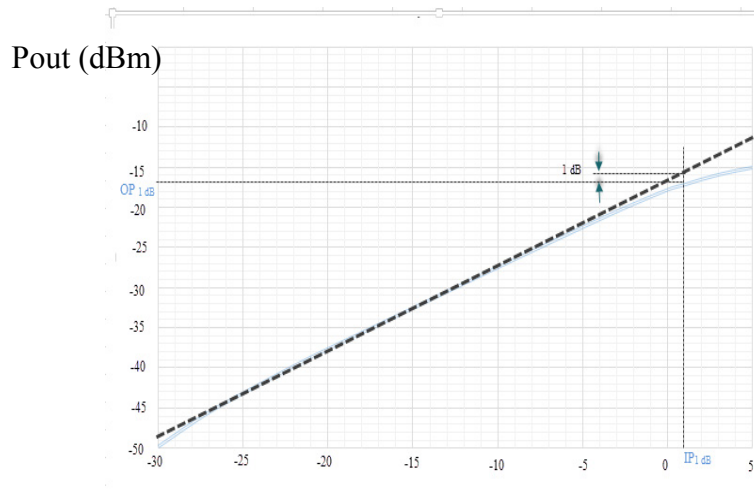
Đo điểm nén độ lợi P1dB

Pin(dBm)	Pout(dBm)	Gain(dB)
-30	-49.8	10.2
-27	-45.5	11.5
-24	-42	12
-21	-38.65	12.35

-18	35.6	12.4
-15	-32.55	12.45
-12	-29.48	12.52
-9	-26.45	12.55
-6	-23.46	12.54
-3	-20.5	12.5
0	-17.8	12.2
1	-17.16	11.84
2	-16.5	11.5
3	-15.92	11.08
4	-15.44	10.56
5	-15.03	9.97

Bảng 2: Số liệu đo điểm nén độ lợi P1dB

Dựa vào bảng trên ta thấy IP1dB đạt khoảng 2dBm.



Hình 15: Đồ thị điểm nén độ lợi 1dB

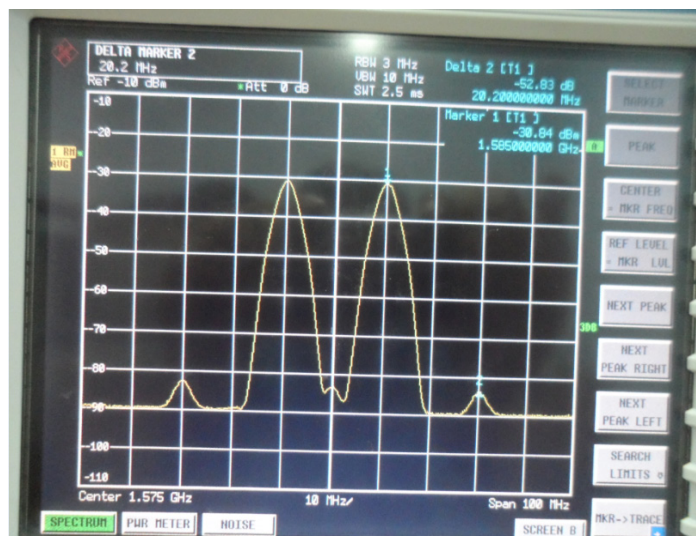
Đo IP3 (3rd order intercept point)

Chọn công suất phát là Pin= -10dBm (dạng

Đề đo được IP3 ta có thể dựa vào biểu thức sau:

sóng sin) ta thu được: P_{out}= -30.84 dBm, P_{IMD} = -83.67 dBm

$$P_{out} - P_{IMD} = 2(IP_3 - P_{in}) \quad (*)$$



Hình 16: Kết quả Pout và PIMD tương ứng với Pin= -10 dBm.

Từ công thức (*) ở trên ta dễ dàng tính được $IP3 = 16.415dBm$.

Đo hệ số nhiễu (sử dụng máy Spectrum analyzer)

Đề đo hệ số nhiễu của mạch ta dựa vào tài liệu số tham khảo [10], bảng 3 giá trị nhiễu đo được trên máy Spectrum analyzer trong 4 trường hợp

Trường hợp	Noise Source	DUT (LNA)	Noise(dBm)
1	OFF	Không có	-95.1
2	On	Không có	-93.92
3	OFF	Có	-93.42
4	On	Có	-85.08

Bảng 3: Giá trị nhiễu đo được trên máy Spectrum analyzer

Dựa theo hướng dẫn trên tài liệu tham khảo số [10] ta tính được $NF(dB) = 2.518 dB$

III. KẾT LUẬN

Bài báo này cũng đã đạt được một số kết quả nhất định đó là thiết kế được anten vi dải hình chữ nhật thu GPS. Riêng mạch LNA đạt được

sự ổn định không điều kiện. Độ lợi của mạch đạt 14. 456 dB gần như chính xác với kết quả mô phỏng. Hệ số phản xạ ngõ vào lệch rất ít so với kết quả mô phỏng đạt -16.631 dB. Hệ số nhiễu $NF = 2.518 dB$, $IP1dB = 2dBm$, $IP3 = 16.415 dBm$.

TÀI LIỆU THAM KHẢO

Chao –Wei Wang, Yen- Ming Chen, Chang –Fa Yang , “*A Miniature GPS Planar Chip Antenna Integrated with LowNoise Amplifier*”, Department of Electronic, National Taiwan University of Science and Technology – 43, Keelung Road, Sec. 4, Taipei, Taiwan, ROC.

Tang Tang, Tingting Mo, and Dongpo Chen, “*A Low Noise Amplifier Using Subthreshold Operation for GPS-L1 Receiver*”, School of Microelectronic, Shanghai Jiao Tong University.

David M. Pozar, *Microwave Engineering, Fourth Edition*, John Wiley and Sons, 2012.

Guillermo Gonzalez, *Microwave Transistor Amplifier Analysis and Design, Second Edition*, Prentice Hall, 1996.

Brian C.Wadel, *Transmission Line Design Handbook*, Artech House Inc, 1991.

Jia-Sheng Hong, J.Lancaster, *Microstrip Filter for RF Microwave Application*, John Wiley and Son, 2001.

Truyền Sóng và anten - Lê Tiến Thường, Trần Văn Sư.

Antenna Theory Analysis_ and _Design - 2nd Edition – Constantine A.Balanis

High Frequency Structure Simulator (HFSS) Tutorial, Dr. Otman El Mrabet, 2005

Rohde&Schawaze “*The Y Factor Technical for Noise Figure Measurement*”.

G. Gonzalez, “*Microwave Transistor Amplifier Analysis & Design*”, New Jersey: Prentice Hall.

Johan Janssen and Ray Xia “*A low cost low noise amplifier for GPS applications with the use of the BFU725F*”, NXP Semiconductors, Shanghai, 200070, China.

Alexandra Andersson, “*LNA Design for Radio Navigation Satellite System Receiver*”, CHAMERS UNIVERSITY OF TECHNOLOGY, Gothenburg, Sweden 2013.

J.Lucek and R.Damen. (1999, Feb) “*Designing and LNA for a CDMA front end RF Design*”.